

Abstract of DE 44 41 752

In an arrangement with a master unit and a plurality of slave units (1, ..., 5) to which the master unit has read/write access with addresses via a bus (SYB) with address, data and control lines (SL, AL, DL), the setting of the access addresses is simplified in that the slave units (1, ..., 5) each have an address register (BC) activatable by an address setting signal (SEL0, SEL1, SEL2, SEL3, SEL4), the address setting signals (SEL0, SEL1, SEL2, SEL3, SEL4) can be isolated under clock control during an address setting stage, the master unit writes the access address into the address register (BC) of the slave unit via the data lines, the address setting signal (SEL0, SEL1, SEL2, SEL3, SEL4) of which has been isolated, and the slave unit (1, ..., 5) isolates the address setting signal (SEL0, SEL1, SEL2, SEL3, SEL4) of the next slave unit (1, ...) after address setting. The invention is applied to stored-program controls.



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑩ Offenlegungsschrift
DE 44 41 752 A 1

⑤1 Int. Cl.⁸:
G 06 F 13/14
G 05 B 19/05

②1 Aktenzeichen: P 44 41 752.7
②2 Anmeldetag: 23. 11. 94
②3 Offenlegungstag: 30. 5. 96

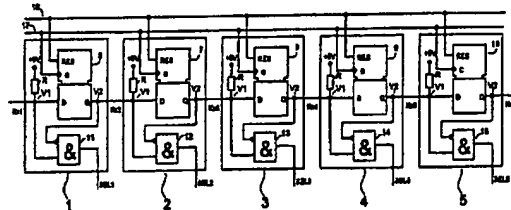
DE 44 41 752 A 1

⑦1 Anmelder:
Siemens AG, 80333 München, DE

⑦2 Erfinder:
Bremer, Klaus, Dipl.-Ing., 76187 Karlsruhe, DE

⑤4 Anordnung mit einer Master-Einheit und mehreren Slave-Einheiten

⑤7 In einer Anordnung mit einer Master-Einheit und mehreren Slave-Einheiten (1...5), auf welche die Master-Einheit mit Adressen über einen Adreß-, Daten- und Steuerleitungen (SL, AL, DL) aufweisenden Bus (SYB) lesend und/oder schreibend zugreift, wird die Einstellung der Zugriffsadressen dadurch vereinfacht, daß die Slave-Einheiten (1...5) jeweils ein durch ein Adreßeinstellsignal (SEL0, SEL1, SEL2, SEL3, SEL4) aktivierbares Adreßregister (BC) aufweisen, daß während einer Adreßeinstellphase die Adreßeinstellsignale (SEL0, SEL1, SEL2, SEL3, SEL4) taktgesteuert freischaltbar sind, daß die Master-Einheit der Slave-Einheit, deren Adreßeinstellsignal (SEL0, SEL1, SEL2, SEL3, SEL4) freigeschaltet ist, die Zugriffsadresse über die Datenleitungen in das Adreßregister (BC) einschreibt und daß die Slave-Einheit (1...5) nach der Adreßeinstellung das Adreßeinstellsignal (SEL0, SEL1, SEL2, SEL3, SEL4) der nächsten Slave-Einheit (1, ...) freischaltet.
Die Erfindung wird angewandt in speicherprogrammierbaren Steuerungen.



DE 44 41 752 A 1

Die Erfindung betrifft eine Anordnung mit einer Master-Einheit und mehreren Slave-Einheiten, auf welche die Master-Einheit mit Adressen über einen Adreß-, Daten- und Steuerleitungen aufweisenden Bus lesend und/oder schreibend zugreift.

Eine derartige Anordnung ist aus dem Siemens-Katalog ST 54.1, SIMATIC S5, Automatisierungsgeräte, Ausgabe 1994, bekannt. Dort sind in einem Baugruppenträger eines hochverfügbaren Automatisierungsgerätes mehrere Master-Einheiten in Form von Zentralbaugruppen über einen parallel ausgeführten Rückwandbus mit mehreren als Digital-Ein/Ausgabe-, Analog-Ein/Ausgabe-, Signalvorverarbeitungs- oder als Kommunikationsbaugruppen ausgebildeten Slave-Einheiten verbunden. Dabei greifen die Master-Einheiten auf die Slave-Einheiten mit Adressen zu, welche an Adresserschaltern der Slave-Einheiten eingestellt sind.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, in einer Anordnung der eingangs genannten Art die Adreßeinstellung zu vereinfachen. Darüber hinaus ist eine Slave-Einheit zu schaffen, welche für eine einfache Adreßeinstellung durch eine Master-Einheit geeignet ist.

Erfindungsgemäß wird diese Aufgabe im Hinblick auf die Anordnung mit den im Anspruch 1, im Hinblick auf die Slave-Einheit mit den im Anspruch 6 angegebenen Maßnahmen gelöst.

Die Master-Einheit kann nur in einer freigegebenen Slave-Einheit eine Adresse einstellen. Eine freigeschaltete Slave-Einheit, in welcher die Adreßeinstellung gerade abgeschlossen ist, schaltet das Adreßeinstellsignal der nächsten Slave-Einheit frei, wodurch die Master-Einheit in diese neu freigegebene Slave-Einheit eine Zugriffsadresse einschreiben kann. Auf diese Weise werden die Adreßeinstellsignale der Slave-Einheiten nacheinander zum Einschreiben der jeweiligen Zugriffsadressen freigeschaltet.

In einer Ausgestaltung der Erfindung gemäß den im Anspruch 2 angegebenen Maßnahmen adressiert die Master-Einheit während der Adreßeinstellphase die Adreßregister aller Slave-Einheiten unter einer einheitlichen Adresse. Dabei beaufschlagt die Master-Einheit den Adreßbus mit einer einzigen Adresse und schreibt den nacheinander freigeschalteten Slave-Einheiten die jeweilige Slave-Adresse in das Adreßregister ein. Die Ausgabe lediglich einer Adresse bewirkt eine Verkürzung der Adreßeinstellphase.

Weitere vorteilhafte Ausgestaltungen der Erfindung ergeben sich aus den weiteren Unteransprüchen.

Die Erfindung wird insbesondere in Automatisierungsgeräten eingesetzt.

Anhand der Zeichnung, in der ein Ausführungsbeispiel der Erfindung veranschaulicht ist, werden die Erfindung, deren Ausgestaltungen sowie Vorteile näher erläutert.

Es zeigen

Fig. 1 ein Prinzipschaltbild eines auf Slave-Einheiten verteilten Schieberegisters,

Fig. 2 einen Signalverlauf der im Schieberegister nach Fig. 1 vorkommenden Signale,

Fig. 3 ein Blockschaltbild einer Slave-Einheit.

In Fig. 1 sind mit 1, 2, 3, 4 und 5 fünf Slave-Einheiten bezeichnet, welche jeweils mit einem D-Flip-Flop 6, 7 ... 10 versehen sind. Die D-Eingänge der Flip-Flops 6 ... 10 sind an ersten Verbindungspunkten V1 angeschlossen, welche mit den ersten Eingängen von UND-Verknüp-

fungsgliedern 11 ... 15 verbunden sind und über Pull-Up-Widerstände R an einer 5 V-Betriebsspannung liegen. Die Q-Ausgänge der Flip-Flops 6 ... 10 sind jeweils an zweiten Verbindungspunkten V2 angeschlossen, welche mit den ersten Verbindungspunkten V1 der nächsten Slave-Einheiten 1 ... 5 und mit den invertierenden zweiten Eingängen der UND-Verknüpfungsglieder 11 ... 15 verbunden sind, über deren Ausgänge Adreßeinstellsignale SEL1 ... SEL5 hier nicht dargestellten Adreßregistern zuführbar sind. Die Rücksetz- und Takteingänge RES, C der D-Flip-Flops 6 ... 10 sind an einer Rücksetz- und einer Taktleitung 16, 17 angeschlossen.

Die Wirkungs- und Funktionsweise des auf die Slave-Einheiten 1 ... 5 verteilten Schieberegisters wird anhand des in Fig. 2 dargestellten Signalverlaufs erläutert. Die in den Fig. 1 und 2 vorkommenden gleichen Teile sind mit gleichen Bezugszeichen versehen. Zu einem Zeitpunkt t0 bringt ein Rücksetzsignal Rs auf der Rücksetzleitung 16 die D-Flip-Flops 6 ... 10 in einen definierten Anfangszustand, wodurch an deren Verbindungspunkten V2 und an den invertierenden Eingängen der UND-Verknüpfungsglieder 11 ... 15 ein "0"-Pegel wirkt. Die 5 V-Betriebsspannung und der Pull-Up-Widerstand R bewirken am "offenen" ersten Verbindungspunkt V1 der ersten Slave-Einheit 1 und somit am ersten Eingang des UND-Verknüpfungsgliedes 11 ein Freigabesignal Ks1 mit einem "1"-Pegel. Das UND-Verknüpfungsglied 11 erzeugt aus diesem "1"-Pegel und dem "0"-Pegel am invertierenden Eingang das Adreßeinstellsignal SEL1 in Form eines "1"-Pegels, wodurch diese Slave-Einheit zur Eintragung einer Slave-Adresse freigeschaltet ist. Eine hier nicht dargestellte Master-Einheit liest die Slave-Adresse aus einer Adreßzuordnungstabelle aus, welche in einem Speicher der Master-Einheit hinterlegt ist, und schreibt die Adresse in das Adreßregister der Slave-Einheit ein. Zu einem Zeitpunkt t1 liegt eine positive Flanke eines Taktsignals Ts am Takteingang C des D-Flip-Flops 6 an, welches den "1"-Pegel des Signals Ks1 am D-Eingang speichert und den "1"-Pegel an dessen Q-Ausgang in Form eines um eine Taktperiode gegenüber dem Freigabesignal Ks1 verzögerten Freigabesignals Ks2 schaltet. Dieser "1"-Pegel liegt am invertierenden Eingang des UND-Verknüpfungsgliedes 11, wodurch das Adreßeinstellsignal SEL1 deaktiviert wird. Dagegen aktiviert das UND-Verknüpfungsglied 12 das Adreßeinstellsignal SEL2, da zum Zeitpunkt t1 an dessen ersten Eingang der "1"-Pegel und am invertierenden Eingang ein "0"-Pegel anliegt. Bis zur nächsten positiven Taktflanke des Taktsignals Ts zu einem Zeitpunkt t2 ist die Slave-Einheit 2 zum Einstellen einer dieser Einheit zugeordneten Slave-Adresse freigeschaltet.

Auf die gleiche Art und Weise werden die Slave-Einheiten 3, 4 und 5 freigeschaltet. Dazu werden die Adreßeinstellsignale SEL3, SEL4, SEL5 zu Zeitpunkten t3, t4, t5 durch Verknüpfung der Freigabesignale Ksi (i = 3, 4, 5) an den ersten Verbindungspunkten V1 der Flip-Flops 8, 9, 10 mit den jeweils um eine Taktperiode verschobenen Freigabesignalen Ksj (j = 4, 5, 6) an den zweiten Verbindungspunkten V2 erzeugt.

Fig. 3 zeigt die Slave-Einheit 1 (siehe Fig. 1) in Form eines Blockschaltbildes, wobei lediglich die zur Erläuterung der Erfindung wesentlichen Bestandteile dargestellt sind. Die Eingänge eines Adreßdecoders ADC sind mit den Adreßleitungen AL eines Systembusses SYB verbunden, dessen Datenleitungen DL auf ein Adreßregister BC der Slave-Einheit führen. Der Systembus SYB ist ferner mit Steuerleitungen SL versehen, von denen eine Schreib-Steuerleitung WR am UND-Verknüp-

fungsglied 11 angeschlossen ist. Dieses UND-Verknüpfungsglied 11, dessen Ausgang mit dem Steuereingang CB des Adreßregisters BC verbunden ist, weist einen weiteren Eingang auf, welcher über eine Steuerleitung CS mit dem Adreßdecoder ADC kurzgeschlossen ist. Während der Adreßeinstellphase ist die Schreib-Steuerleitung WR in Form eines "1"-Pegels aktiviert, und der Adreßdecoder ADC erkennt die Adresse des Adreßregisters BC auf den Adreßleitungen AL, wodurch der Decoder ADC auf die Steuerleitung CS einen "1"-Pegel schaltet. Für den Fall, daß das Freigabesignal Ks1 — wie beschrieben — einen "1"-Pegel und das Signal Ks2 einen "0"-Pegel aufweist, schaltet das UND-Verknüpfungsglied 11 das Adreßeinstellsignal SEL1 ("1"-Pegel) auf den Steuereingang CB des Adreßregisters BC, und die von der Master-Einheit auf die Datenleitungen DL ausgehenden Daten werden als Slave-Adresse in das Adreßregister BC eingeschrieben. Das D-Flip-Flop 6 schaltet bei der positiven Taktflanke des Taktsignals Ts auf der Taktleitung 17 zum Zeitpunkt t1 (Fig. 2) den "1"-Pegel an den Q-Ausgang des Flip-Flops 6, wodurch das UND-Verknüpfungsglied 11 den Pegel des Adreßeinstellsignals SEL1 auf "0" umschaltet. Dieser "0"-Pegel des Adreßeinstellsignals SEL1 verhindert ein Einschreiben weiterer Daten in das Adreßeinstellregister BC.

Patentansprüche

1. Anordnung mit einer Master-Einheit und mehreren Slave-Einheiten (1, 2, 3, 4, 5), auf welche die Master-Einheit mit Adressen über einen Adreß-, Daten- und Steuerleitungen (AL, DL, SL) aufweisenden Bus (SYB) lesend und/oder schreibend zugreift, dadurch gekennzeichnet,
 - daß die Slave-Einheiten (1 ... 5) jeweils ein durch ein Adreßeinstellsignal (SEL0, SEL1, SEL2, SEL3, SEL4) aktivierbares Adreßregister aufweisen,
 - daß während einer Adreßeinstellphase die Adreßeinstellsignale (SEL0, SEL1, SEL2, SEL3, SEL4) taktgesteuert freischaltbar sind,
 - daß die Master-Einheit der Slave-Einheit (1 ... 5), deren Adreßeinstellsignal (SEL0, SEL1, SEL2, SEL3, SEL4) freigeschaltet ist, die Zugriffsadresse über die Datenleitungen (DL) in das Adreßregister (BC) einschreibt und
 - daß die Slave-Einheit (1 ... 5) nach der Adreßeinstellung das Adreßeinstellsignal (SEL0, SEL1, SEL2, SEL3, SEL4) der nächsten Slave-Einheit (1, 2, ...) freischaltet.
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet,
 - daß die Master-Einheit auf die Adreßregister unter einer einheitlichen Adresse zugreift.
3. Anordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet,
 - daß die Adreßeinstellsignale (SEL0, ...) durch ein Freigabesignal freischaltbar sind.
4. Anordnung nach Anspruch 3, dadurch gekennzeichnet,
 - daß die Slave-Einheiten (1, 2 ... 5) jeweils ein D-Flip-Flop (6, 7, 8, 9, 10) aufweisen, auf dessen Eingang das Freigabesignal geschaltet und dessen Ausgang mit dem Eingang des D-Flip-Flops der nächsten Slave-Einheit verbunden ist.
5. Anordnung nach Anspruch 4, dadurch gekennzeichnet,

- daß die Eingänge (D) der Flip-Flops jeweils an einem ersten Verbindungspunkt (V1) angeschlossen sind, welcher mit dem ersten Eingang eines UND-Verknüpfungsgliedes (11, 12 ... 15) verbunden ist und welcher über einen Pull-Up-Widerstand (R) an einem Bezugspotential (+5 V) liegt, und
 - daß die Ausgänge (Q) der Flip-Flops jeweils an einem zweiten Verbindungspunkt (V2) angeschlossen sind, welcher mit dem invertierten zweiten Eingang des UND-Verknüpfungsgliedes (11 ... 15) verbunden ist, über dessen Ausgang das Adreßeinstellsignal (SEL0, ...) dem Adreßregister (BC) zuführbar ist.
6. Anordnung nach Anspruch 4 oder 5, dadurch gekennzeichnet,
 - daß Steuersignale (Rs, Ts) zum Rücksetzen und Takten der D-Flip-Flops (6, 7 ... 10) vorgesehen sind, welche jeweils mit einem Register der Slave-Einheiten (1, 2 ... 5) erzeugt werden, wobei die Master-Einheit auf diese Register unter einer einheitlichen Adresse zugreift.
 7. Slave-Einheit, geeignet für eine Anordnung nach einem der Ansprüche 1 bis 6.
 8. Automatisierungsgerät mit einer Anordnung nach einem der Ansprüche 1 bis 6.

Hierzu 3 Seite(n) Zeichnungen

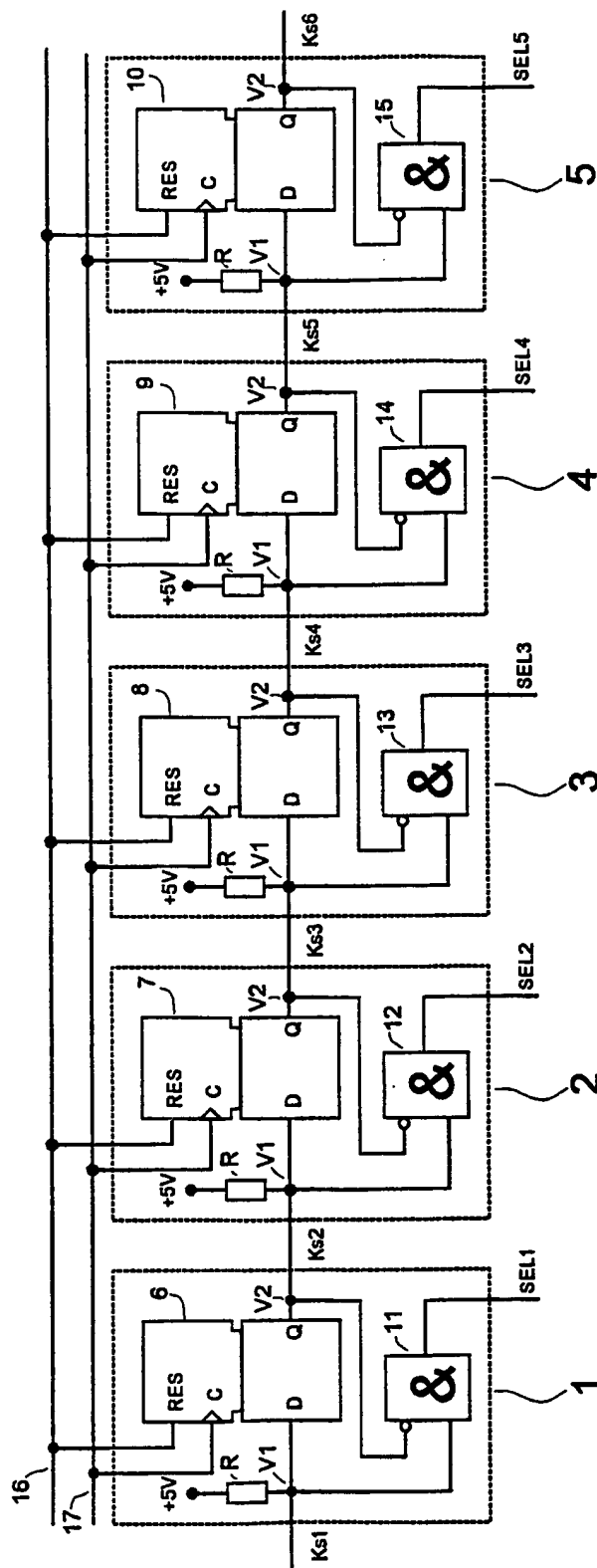


FIG 1

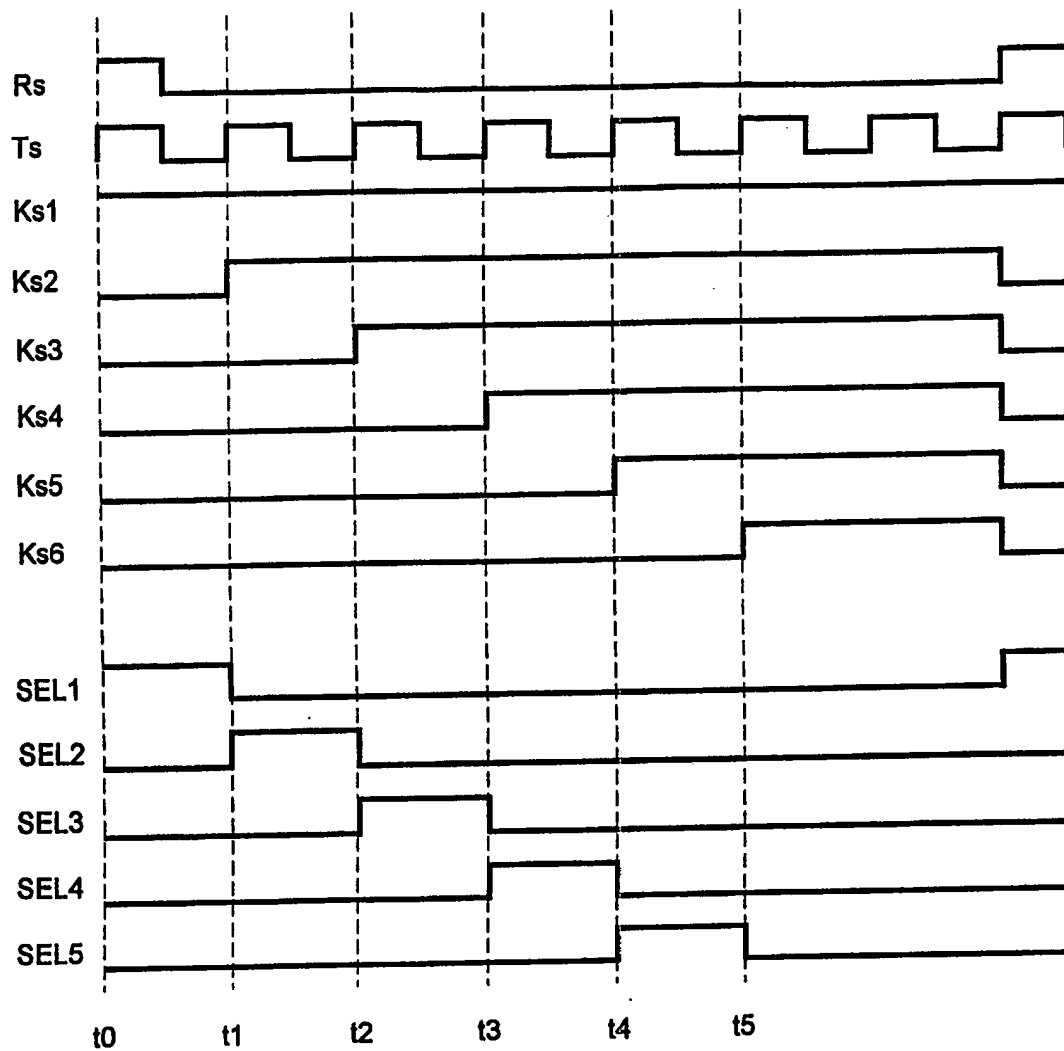


FIG 2

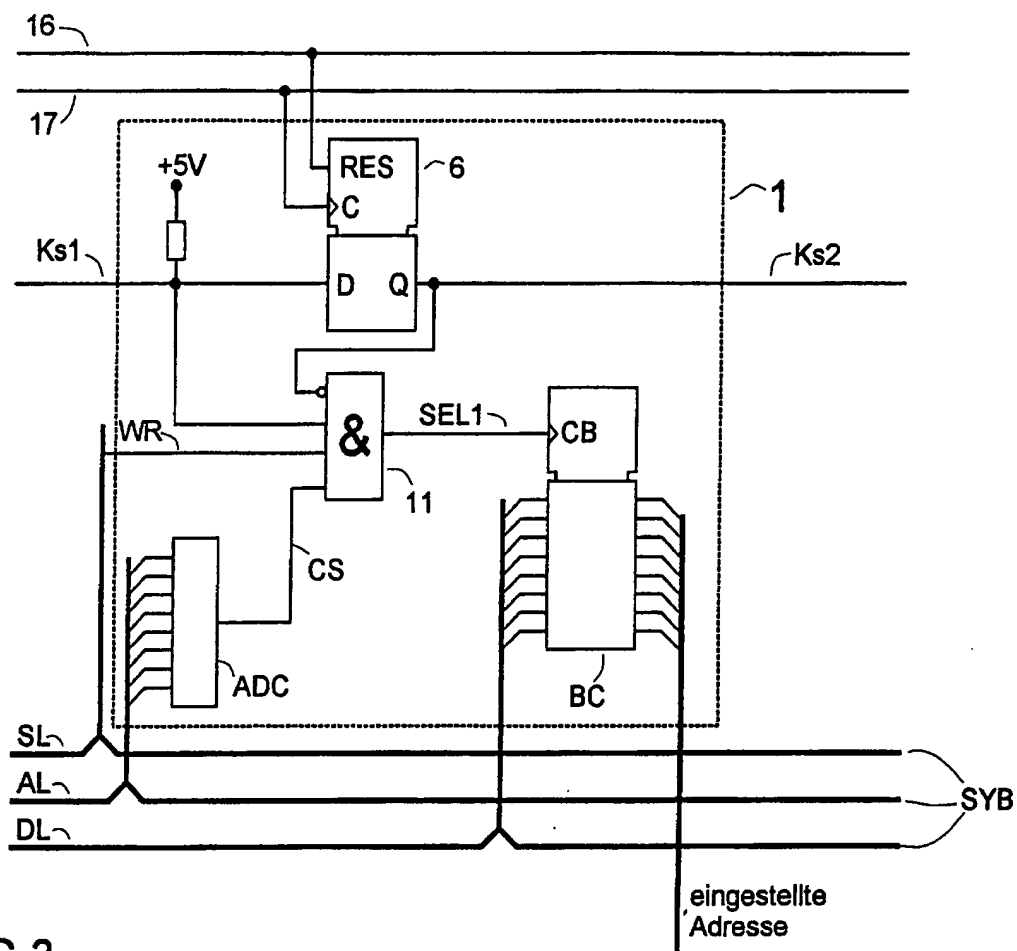


FIG 3